

2-14-02

JC978 U.S. PTO
10/024154
12/18/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : Tsuyoshi OHNO
Filed: : Concurrently herewith
For: : FLIP CHIP SEMICONDUCTOR DEVICE.....
Serial No. : Concurrently herewith

Assistant Commissioner for Patents
Washington, D.C. 20231

December 18, 2001

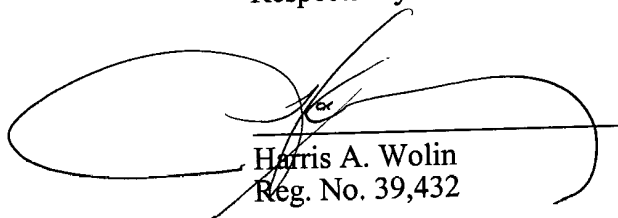
PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2000-389519** filed **December 21, 2000**, a certified copy of which is enclosed.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,


Harris A. Wolin
Reg. No. 39,432

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.: NECW 19.286
TELEPHONE: (212) 940-8800

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCS78 U.S. PRO
10/024154
12/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月21日

出 願 番 号

Application Number:

特願2000-389519

出 願 人

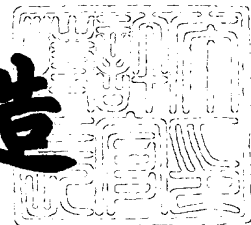
Applicant(s):

エヌイーシーマイクロシステム株式会社

2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3091095

【書類名】 特許願
 【整理番号】 01211298
 【提出日】 平成12年12月21日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H01L 21/82
 H01L 21/321

【発明者】

【住所又は居所】 神奈川県川崎市中原区小杉町一丁目403番53 日本
 電気アイシーマイコンシステム株式会社内

【氏名】 大野 剛史

【特許出願人】

【識別番号】 000232036

【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9722617

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フリップチップ型半導体装置

【特許請求の範囲】

【請求項 1】

複数の I / O セルを並列配置してなる I / O グループを複数個、前記 I / O セルの並列配置方向と直交する向きに、一列に配置してなる I / O グループ列をチップ周辺部領域に備え、

最上層のパッド形成面のチップ周辺部領域において、前記 I / O グループを構成する I / O の個数及び配置に応じて、前記 I / O グループ列の真上、及び、前記 I / O グループ列の一侧もしくは両側に、前記 I / O グループを構成する各 I / O セルとそれぞれ電氣的に接続される信号パッドを備えている、ことを特徴とするフリップチップ型半導体装置。

【請求項 2】

前記パッド形成面において、前記 I / O セルに電源を供給するための I / O セル用電源パッドが、前記 I / O グループ列の前記信号パッドの配置領域よりもチップ内側の領域に設けられている、ことを特徴とする請求項 1 記載のフリップチップ型半導体装置。

【請求項 3】

前記 I / O セルの並列配置方向と直交する向きが、前記チップ周辺部の外縁のチップ辺と直交する向きと一致している、ことを特徴とする請求項 1 又は 2 記載のフリップチップ型半導体装置。

【請求項 4】

チップ周辺部領域に、1 個の I / O セル、又は、複数個の I / O セルを並列配置してなる I / O グループを、1 つ又は複数個配列してなる I / O セル配列（「I / O グループ列」という）を備え、前記 I / O グループ列は、チップの一辺と直交する方向に配置されており、

最上層のパッド形成面のチップ周辺部領域において、前記 I / O グループ列の各 I / O セルとそれぞれ電氣的に接続される信号パッドを備え、

前記パッド形成面において前記 I / O セルに電源を供給するための I / O セル

用電源パッドが、前記 I / O セル配列の信号パッドの配置領域よりも、チップ内側の領域に設けられている、

ことを特徴とするフリップチップ型半導体装置。

【請求項 5】

前記信号パッドが、前記パッド形成面のチップ周辺部において、前記 I / O グループを構成する I / O の個数及び配置に応じて、前記 I / O グループ列の真上と、前記 I / O グループの一侧又は両側に配置されている、ことを特徴とする請求項 4 記載のフリップチップ型半導体装置。

【請求項 6】

前記チップ周辺部領域において前記 I / O グループ列の間の領域が、内部領域として利用可能とされている、ことを特徴とする請求項 1 乃至 5 のいずれかに記載のフリップチップ型半導体装置。

【請求項 7】

前記 I / O グループに含まれる複数の I / O セルの個数が、チップ全体の I / O グループについて、同一とされている、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 8】

前記 I / O グループに含まれる複数の I / O セルの個数が互いに異なる I / O グループを有する、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 9】

前記 I / O グループを構成する互いに並置される複数の I / O セルの配置において、隣り合う I / O セル間に所定の間隔が設けられている少なくとも二つの I / O セルを含む I / O グループを有する、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 10】

前記 I / O グループを構成する互いに並置される複数の I / O セルの配置において、配置の中心に対して左右の一侧、両側対称、又は左右非対称に配置されている I / O セルを含む I / O グループを有する、ことを特徴とする請求項 1 乃至

4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 1】

前記 I / O グループ列を構成する複数の I / O グループの個数が、チップ全体で同一とされている、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 2】

前記 I / O グループ列に含まれる複数の I / O グループの個数が互いに異なる I / O グループ列を有する、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 3】

前記 I / O グループ列において、列方向に沿って、一の I / O グループと隣りの I / O グループの配置領域が隣接している、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 4】

前記 I / O グループ列において、列方向に沿って、一の I / O グループと隣りの I / O グループの配置領域の間に、所定の間隔が設けられており、前記間隔は、内部領域の通過配線領域とされる、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 5】

前記 I / O グループ列において、I / O グループが、間引きされており、間引きされた領域は、内部領域又はその配線領域とされる、ことを特徴とする請求項 1 乃至 4 のいずれかに記載のフリップチップ型半導体装置。

【請求項 1 6】

前記 I / O セル用電源パッドの配置位置よりもチップ内側の領域に、1 個の I / O セル、又は、複数の I / O セルよりなる I / O グループを 1 つ又は複数個配列してなる I / O セル配列（「I / O グループ列」という）を備えた、ことを特徴とする請求項 2 又は 4 記載のフリップチップ型半導体装置。

【請求項 1 7】

前記 I / O グループ列同士の間隔が、パッドピッチ間隔に従って、固定値に設

定されている、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載のフリップチップ型半導体装置。

【請求項 1 8】

隣の I/O グループ列との間に、少なくとも 1 つの I/O グループ列が間引きされた間隔に相当する分の間隔が設けられている I/O グループ列を有する、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載のフリップチップ型半導体装置。

【請求項 1 9】

前記間隔には、前記 I/O グループ列の I/O セルへの電源を、前記 I/O グループ列の長手方向から直交する方向から給電する配線が設けられることを特徴とする請求項 1 8 記載のフリップチップ型半導体装置。

【請求項 2 0】

前記 I/O グループ列同士の間隔として、固定のパッドピッチ間隔よりも幅広の間隔が設けられている I/O グループ列を有する、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載のフリップチップ型半導体装置。

【請求項 2 1】

前記 I/O グループ列の長手方向に沿った前記間隔には前記 I/O セル用電源パッドにビアを介して接続される幅広の給電配線が設けられる、ことを特徴とする請求項 2 0 記載のフリップチップ型半導体装置。

【請求項 2 2】

前記パッド形成面において、前記 I/O グループ列の両側又は一側に配置される信号パッドが前記 I/O グループ列の長手方向に間引きされている信号パッド列を有する、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載のフリップチップ型半導体装置。

【請求項 2 3】

複数の前記 I/O セル用電源パッドが、前記パッド形成面において、前記チップ周辺部の信号パッドよりもチップ内側領域において矩形をなす辺上に配置される、ことを特徴とする請求項 1 乃至 4 のいずれかーに記載のフリップチップ型半導体装置。

【請求項 2 4】

複数の前記 I / O セル用電源パッドが、前記パッド形成面において、チップ周辺部やチップコーナー部に設けられる内部領域のセルを囲む形状に配置される、ことを特徴とする請求項 1 乃至 4 のいずれか一に記載のフリップチップ型半導体装置。

【請求項 2 5】

前記 I / O セル用電源パッドから I / O セルへの給電線のパタンが、内部領域の内部セルへの給電線のパタンが配線される層において、前記内部セルへの給電線のパタンと混在して設けられている、ことを特徴とする請求項 1 乃至 4 のいずれか一に記載のフリップチップ型半導体装置。

【請求項 2 6】

電源強化構成として、前記 I / O セル用電源パッドから I / O セルへの給電線を幅広とする構成、I / O セル間に間隔を設けてその間に給電線パタンを通す構成、前記 I / O グループ列間の間隔を広げ前記 I / O グループ列の長手方向と直交する方向から I / O セルに給電する構成の少なくともいずれか一つの構成をとり、前記 I / O セル用電源パッドから I / O セルへ給電線の配線抵抗の縮減する、ことを特徴とする請求項 1 乃至 4 のいずれか一に記載のフリップチップ型半導体装置。

【請求項 2 7】

チップ周辺部領域に、I / O セルを配置してなる I / O グループを、4 段縦積み配列してなる I / O グループ列を、チップ周辺部の外縁をなすチップ辺と直交する向きに配置し、チップ辺側から、真中に I / O セル 1 個の 1 番目の I / O グループと、両側に I / O セル 2 個の 2 番目の I / O グループと、真中と両側に計 3 個の I / O セルを有する第 3、4 番目の I / O グループと、を備え、

最上層のパッド形成面のチップ周辺部領域において、前記 I / O グループ列の上、及び、前記 I / O グループ列の両側の計 3 列に、前記 I / O グループを構成する、真中、両側の各 I / O セルとそれぞれ電氣的に接続される信号パッド列を備え、

前記 I / O グループ列の上に対応する中央列の信号パッドは、チップ辺側から

チップ内側に、第 1 のパッド、空き、第 2 のパッド、第 3 のパッドと配置され、I/O グループ列の両側の列に対応する信号パッドは、チップ辺側からチップ内側に、前記 2 番目の I/O グループに対応する位置から、第 1、第 2、第 3 のパッドが配置されている、ことを特徴とするフリップチップ型半導体装置。

【請求項 2 8】

前記 I/O セルに電源を供給するための I/O セル用電源パッドが、前記パッド形成面において、信号パッドよりもチップ内側に設けられている、ことを特徴とする請求項 2 7 記載のフリップチップ型半導体装置。

【請求項 2 9】

表面が、前記チップのパッド形成面と対向し、前記パッド形成面のパッドと接合されるパッドを有し、裏面に電極を有する、パッケージ基板が、前記パッド形成面の信号パッド列に対応する信号パッド列を有し、

前記パッケージ基板の表面において、中央列及び両側列の第 1 の信号パッドには、チップ辺側に引き出しパタンが配線接続され、

中央列及び両側列の各列の第 2、第 3 の信号パッドの引き出しパタンは、前記第 1 の信号パッドの引き出しパタンに対して、一方の側に、二本並列に引き出される、ことを特徴とする請求項 2 7 又は 2 8 記載のフリップチップ型半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、フリップチップ型半導体装置に関し、特に、チップがフェースダウンで接続される多層配線板（「パッケージ基板」ともいう）の層数低減に有効な半導体装置に関する。

【0 0 0 2】

【従来の技術】

フリップチップ型半導体装置は、例えば、1 0 0 0 ピン以上等多ピン化する半導体集積回路や、消費電力の大きい半導体集積回路において、高速でインターフェイスする応用（アプリケーション）に用いられている。

【 0 0 0 3 】

このような、フリップチップ型半導体装置は、一般的に、特性を優先した上でコストの低減が図られることになるが、他のタイプの半導体装置に比べ、このフリップチップ型半導体装置を使ったシステムのトータルコストは、依然高価である。このコストは、フリップチップ型半導体装置が持つ優れた電源供給能力やピン数などの機能の代償ということもできる。

【 0 0 0 4 】

しかしながら、近年、半導体集積回路に求められる性能の向上や、システムの性能（高機能、動作周波数の高速化）が急激に向上しており、このため、フリップチップ型半導体装置の需要件数が増加し、その生産量（ボリューム）も増加している。

【 0 0 0 5 】

また、システムの急激な性能向上にしたがい、求められるトータルコストも急激に低下し、性能とコストを両立させることが要求されている。

【 0 0 0 6 】

かかる要請に応えるために、例えば、特開平 0 5 - 2 6 7 3 0 2 号公報には、I/O をチップ周辺用と内部領域配置用で形状を工夫し、チップ内のレイアウトを効率よく行う装置として、図 1 7 に示すようなレイアウトの半導体装置が提案されている。すなわち、エリア電極構成を有する半導体装置 1 7 1 において、大きさの異なる I/O セルを半導体装置に混在させて配置するに際し、寸法の大きな I/O セル 1 7 6 を電極形成領域 1 8 0 の周辺部に配置し、寸法の小さい I/O セル 1 7 4 をエリア電極内部 1 8 1 に配置することで、等間隔で均一な電極配置を有するとともに多ピン化に対応している。図 1 7 において、1 7 3 は、電極形成領域の外周に配置されている電極、1 8 2 はゲートアレイ、1 7 5 はロジックセルである。なお、図 1 7 に示した従来の半導体装置は、I/O セル用電源パッドを信号用パッドより内側に設ける構成は有していない。

【 0 0 0 7 】

このため、フリップチップ型半導体装置を実装するパッケージ基板（表面で L S I チップのパッド形成面の全面に形成されたパッドと接続し、裏面に電極を有

する多層基板)の配線層数を減少することはできず、チップコストは同等であるが、システムのトータルコストを低減することはできない。

【0008】

さらには、I/OセルとI/Oセル用電源を接続する配線を引き回すための領域として、内部領域用の配線領域を確保することが難しい場合もある。I/OセルとI/O用電源との関係を考慮した配置構成を有していないためである。

【0009】

また例えば、特開2000-100955号公報には、I/Oセルとパッドの位置関係を工夫しチップ内のレイアウトを効率よく行うために、図18に示すような半導体装置が提案されている。図18において、191はLSIチップ、192はI/Oセル、193は内部領域、194はコーナセル、195はパッドである。I/Oセルからパッドへの接続をI/Oセル複数個1組の共通引き出しパターンを用いて行い、LSIチップ上の各辺のI/Oセルアレイ数を、共通引き出しパターンで引き出されるI/Oセルの組の整数倍とした半導体集積回路装置において、共通引き出しパターンで引き出されるI/Oセルアレイの長さを、フリップチップ用パッドの配列ピッチと同一とし、共通引き出しパターンで引き出し対象となるI/Oセルアレイの中心線の交点、及び交点の外側では引き出しに必要な数だけ等間隔のピッチ上にパッドを配置し、共通引き出しパターンで引き出されるI/Oセルアレイの長さをフリップチップ用パッドの配列ピッチと同一とした半導体集積回路装置が提案されている。I/Oセル用電源パッドを信号用パッドよりも内側に設ける構成を有していない。

【0010】

このため、フリップチップ型半導体装置を実装する基板の配線層数を減少出来ず、チップコストは同等であるが、システムのトータルコストを抑制することはできない。またI/OセルとI/Oセル用電源との関係を考慮した構成を有していないため、I/OセルとI/Oセル用電源を接続する配線が内部領域用の配線領域を確保しづらい、という問題もある。

【0011】

【発明が解決しようとする課題】

したがって、本発明が解決しようとする課題は、性能の向上とシステムのトータルコストの低減を同時に達成するフリップチップ型半導体装置を提供することにある。

【0012】

【課題を解決するための手段】

前記課題を解決するための手段を提供する本発明は、チップ周辺部領域に複数のI/Oセルを並列配置して構成したI/Oグループを縦積配置（I/Oセルを並列配置方向と直交する向きに配置）してなるI/Oグループ列を、前記チップ周辺部外縁のチップ辺と直交する向きに配置し、最上層のパッド形成面の周辺部領域において、前記I/Oグループの列の上、及び、前記I/Oグループの列の両側に、前記I/Oグループを構成する各I/Oセルとそれぞれ電氣的に接続される信号パッドを備えている。

【0013】

本発明においては、前記パッド形成面において、前記I/Oセルに電源を供給するためのI/Oセル用電源パッドが、前記I/Oグループ列の前記信号パッドの配置領域よりもチップ内側の領域に設けられている。

【0014】

【発明の実施の形態】

本発明の実施の形態について説明する。本発明のフリップチップ型半導体装置は、その好ましい一実施の形態において、図1を参照すると、チップ周辺部領域に、複数のI/Oセル（I/O回路）21、22、23を並列配置してなるI/Oグループ2を、I/Oセルの並列配置方向と直交する向きに（縦積みに）、複数個配列してなるI/Oグループ列をチップの辺と直交する向きに配置し、最上層のパッド形成面のチップ周辺部領域において、I/OグループをなすI/Oセルの個数と配置に応じて、I/Oグループ列の上、及び、前記I/Oグループ列の一侧、又は両側に、前記I/Oグループを構成する各I/Oセル21、22、23とそれぞれ電氣的に接続される信号パッド31、32、33を備えている。

【0015】

本発明は、その好ましい一実施の形態において、パッド形成面において、I/O

○セルに電源を供給するための I / O セル用電源 (VDD) パッド 1 2、I / O セル用電源 (VSS) パッド 1 1 が、I / O グループ列の信号パッドの配置領域よりも、チップ内側の領域に設けられている。

【 0 0 1 6 】

本発明は、その好ましい一実施の形態において、I / O セル用電源 (VDD) パッド 1 2、I / O セル用電源 (VSS) パッド 1 1 のパッド形成面における配置形態は、チップ周辺部の信号パッドよりもチップ内側において矩形の辺として配置される。あるいは、I / O セル用電源パッドのパッド形成面における配置形態は、チップ周辺部、チップコーナー部に設けられる内部領域のセル (図 1 2 のコーナーセル 2 1 5) を囲む形状としてもよい。

【 0 0 1 7 】

本発明の実施の形態においては各種変形が可能である。I / O グループをなす複数の I / O セルの個数は、チップ全体で同一の値に統一してもよいし、可変としてもよい。

【 0 0 1 8 】

I / O グループをなす複数の I / O セルにおいて、隣接させず、I / O セル間に所定の間隔を設けらるようにしてもよい。

【 0 0 1 9 】

I / O グループが、前記 I / O グループ構成する互いに並置される複数の I / O セルの配置として、配置の中心に対して左右の一侧、両側対称、又は左右非対称に配置されている構成としてもよい。

【 0 0 2 0 】

I / O グループ列をなす複数の I / O グループの個数は、チップ全体で同一としてもよいし、可変としてもよい。

【 0 0 2 1 】

さらに、一の I / O グループと隣りの I / O グループの配置領域が隣接しているか、所定の間隔が設けられており、前記間隔は、内部領域の配線領域とする構成としてもよい。

【 0 0 2 2 】

前記 I / O グループ列において I / O グループを間引きし、間引きされた領域は、内部領域の配線領域とする構成としてもよい。

【 0 0 2 3 】

I / O グループ列同士の間隔は、パッドピッチ間隔に従って固定値に設定されている構成のほか、隣の I / O グループ列とは、所定個数のパッドピッチ以上の間隔が設けられた I / O グループ列を有する構成としてもよい。

【 0 0 2 4 】

さらに隣の I / O グループ列との間隔として、固定のパッドピッチ間隔よりも幅広の間隔が設けられている I / O グループ列を有する構成としてもよい。

【 0 0 2 5 】

また、I / O グループ列の両側又は一側に配置される前記信号パッドが前記 I / O グループ列の長手方向に沿って間引きされている構成としてもよい。かかる構成により、信号パッドの引き出し線を同一層で配線することができ、パッケージ基板の層数の抑制に貢献する。

【 0 0 2 6 】

本発明において、給電線の配線抵抗の低減等を図る電源強化策として、前記 I / O セル用電源パッドから I / O セルへの給電線を幅広とする、I / O セル間に間隔を設けてその間に給電線を通す、前記 I / O グループ列間の間隔を広げ前記 I / O グループ列の長手方向と直交する方向から I / O セルに給電する構成をとるか、あるいは、前記 I / O セル用電源パッドから I / O セルへの給電線のパターンが、内部領域のセルへの給電線のパターンが配線される層において混在して設けられている構成とされる。

【 0 0 2 7 】

チップ周辺部領域に、I / O セルを配置してなる I / O グループを、4 段縦積み配列してなる I / O グループ列を、チップ周辺部の外縁をなすチップ辺と直交する向きに配置し、チップ辺側から、真中に I / O セル 1 個の 1 番目の I / O グループ (図 1 3 の 2₁) と、両側に I / O セル 2 個の 2 番目の I / O グループ (図 1 3 の 2₂) と、真中と両側に計 3 個の I / O セルを有する第 3、4 番目の I / O グループ (図 1 3 の 2₃、2₄) と、を備え、最上層のパッド形成面のチッ

ブ周辺部領域において、前記 I/O グループ列の上、及び、前記 I/O グループ列の両側の計 3 列に、前記 I/O グループを構成する、真中、両側の各 I/O セルとそれぞれ電氣的に接続される信号パッド列を備え、前記 I/O グループ列の上に対応する中央列の信号パッドは、チップ辺側からチップ内側に、第 1 のパッド、空き、第 2 のパッド、第 3 のパッドと配置され、I/O グループ列の両側の列に対応する信号パッドは、チップ辺側からチップ内側に、前記 2 番目の I/O グループ (図 13 の 2₂) に対応する位置から、第 1、第 2、第 3 のパッドが配置されており、表面がチップのパッド形成面と対向し、前記パッド形成面のパッドと接合されるパッドを有し、裏面に電極を有するパッケージ基板は、前記パッド形成面の I/O グループの中央列に対応する信号パッド列 (図 13 の 4 2₃、4 2₂、4 2₁) と、I/O グループの両側列に対応する信号パッド列 (図 13 の 4 3₃、4 3₂、4 3₁ と、4 1₃、4 1₂、4 1₁) を有し、前記パッケージ基板の表面において、中央列及び両側列の第 1 の信号パッド (図 13 の 4 2₃、4 2₂、4 1₃) は、チップ辺側に引き出しパターン (図 13 の 5 2₃、5 3₃、5 1₃) が配線接続され、中央列及び両側列の各列の第 2、第 3 の信号パッドの引き出しパターンは、前記第 1 の信号パッドの引き出しパターン (図 13 の 5 2₃、5 3₃、5 1₃) に対して、一方の側に、二本並列 (図 13 の 5 2₁ と 5 2₂、5 3₁ と 5 3₂、5 1₁ と 5 1₂) に引き出される。かかる構成により、パッケージ基板の層数の増加を抑制することができる。

【0028】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0029】

図 1 (a) は、本発明の一実施例をなすフリップチップ型半導体装置の最上層面のパターンを示す図であり、図 1 (b) は、その部分拡大図である。図 1 に示すように、チップ上の最上位層に接続用パッドを有するフリップチップにおいて、複数の I/O セル 2 1、2 2、2 3 を隣接させた I/O グループ 2 を、複数個一列に、チップの辺に対して垂直方向にチップ周辺に配置し、最上層のパッド形成

面には、各 I/O グループ 2 を構成する I/O セル 2 1、2 2、2 3 と接続する信号用パッド 3 1、3 2、3 3 を、I/O グループ 2 の右側、I/O グループ 2 の直上、I/O グループ 2 の左側に配置し、I/O セル 2 1 と、信号用パッド 3 1、I/O セル 2 2 と信号用パッド 3 2、I/O 2 3 セルと信号用パッド 3 3 がそれぞれ接続されている。なお、I/O セルは、出力ドライバ回路及び／又は入力バッファ回路(入出力回路の場合には入出力制御回路)を備えてセルよりなり、I/O 回路ともいう。

【0030】

I/O セルに電源を供給する電源用(VDD、VSS)パッド 1 2、1 1 は、信号用パッドよりも、チップの内側に配置されている。なお、電源用(VDD)パッド 1 2 は矩形形状(横 2 行、縦 2 列)に配置されており、電源用(VDD)パッド 1 2 の内周に、電源用 VSS パッド 1 1 が矩形形状に配置されている。また電源用(VSS)パッド 1 3 と電源用(VDD)パッド 1 4 とは、チップ内面(電源用 VSS パッド 1 1 の内周)で、千鳥状のパターンで配置されている。なお、本発明において、電源パッドの配置パターンはかかる構成にのみ限定されるものでないことは勿論である。

【0031】

図 1 に示したように、信号用パッドよりも内側に電源用パッド 1 1、1 2、1 3、1 4 を設けるというパッド配置は、フリップチップ型半導体装置を実装した際に、チップ周辺領域において信号配線の妨げになる電源接続のビア(Via)が無くなる。本実施例における I/O セルの配置は、内部領域を、例えば内部領域のマクロ等が内側の内部領域と孤立して配置されることなく、チップ周辺領域においても、I/O セル配置領域以外の全てを、内部領域として確保することができる。

【0032】

本実施例の I/O セルの配置構造は、信号用パッドよりもチップ内部に電源用パッド 1 1、1 2、1 3、1 4 を設けるパッド配置構造に対応させる場合、各 I/O から信号 PAD までの配線長や、各 I/O セルから電源パッドまでの配線長が短くなり、これらの配線長による、デバイス特性(DC 特性、AC 特性)の

劣化を抑制することができる。

【 0 0 3 3 】

このため、フリップチップ半導体装置のチップを実装するパッケージ基板（多層基板）の信号配線用の配線層数を減少させることができ、製造コストを抑え、特性を劣化させる事なく、I/O配置部分以外の全てを内部領域に出来るという効果が得られる。

【 0 0 3 4 】

本実施例は、チップ周辺にI/Oグループの列を配置し、パッド形成面ではI/Oグループの列の上、及び両側に信号パッドを配置し、電源用パッドが信号用パッドより内側となり、電源ビアの影響による信号配線の制約を解消し、チップのパッド形成面に一面で接続され、信号、電源端子をパッケージ外部に引き出すための電極を他面に有するパッケージ基板の配線層数を抑制している。

【 0 0 3 5 】

パッケージ基板の配線層数の抑制作用について以下に説明する。図2は、チップ周辺部に電源パッドを備えた場合におけるパッケージ基板の配線層数の増加を説明するための図であり、パッケージ基板のパタンの一部を模式的に示す説明図である。41、42、43、44は、信号パッドを示しており、46は電源パッドである。例えば、チップ最上層のパッド形成面の電源パッドを、信号パッドと同様に、チップ周辺部に設けた場合、表面でチップのパッド形成面のパッドに接続されるパッドを有し、裏面に電極を有する多層のパッケージ基板においては、図2に示すように、電源パッド46のパタンあるいはビアの存在等により信号パッド44₁の引き出しパタンA-Bを、該信号パッド44₁が形成される最上層で配線することができず、これを迂回するために、信号パッドの引き出しパタンをビアを介して例えば一層の下層のパタンで引き回すことになり、基板表面側の構成に対応して、基板裏面側でも、一層分、必要となる。

【 0 0 3 6 】

これに対して、本実施例によれば、チップ周辺部に、I/Oセルに電源を供給するための電源パッドは存在せず、パッケージ基板のチップ形成面のパッドと接続するパッド及び引き出しパタンが形成される面における信号パッドのパターニ

ングの自由度が増加する。

【0037】

図13(b)は、図13(a)のパッド形成面と対向するパッケージ基板のチップ周辺部の部分拡大図である。図13(b)に示したように、I/Oセル真中1個のI/Oグループ 2_1 、I/Oセル両側2個のI/Oグループ 2_2 、I/Oセル3個のI/Oグループ 2_3 、I/Oセル3個からなるI/Oグループ 2_4 の4段縦積み構成のI/Oグループ列に対して、I/Oグループ列の上に対応する中央列(第2列)の信号パッド $4_2_1 \sim 4_2_3$ は、チップ外側から、第1のパッド、空き、第2のパッド、第3のパッドとパッドピッチ間隔で配置され、I/Oグループ列の両側に対応する両側列(第1、第3列)の信号パッド $4_1_1 \sim 4_4_3$ 、 $4_3_1 \sim 4_3_3$ は、チップ外側から内側に2番目のI/Oグループ 2_2 に対応する位置から、第1、第2、第3のパッドがパッドピッチ間隔で配置され、第1乃至第3の各列の第1の信号パッド 4_1_3 、 4_2_3 、 4_3_3 には引き出しパターン 5_1_3 、 5_2_3 、 5_3_3 がそれぞれ配線接続され、第1乃至第3列の各列の第2、第3の信号パッドの引き出しパターンは、第1の信号パッド 4_1_3 、 4_2_3 、 4_3_3 の引き出し線 5_1_3 、 5_2_3 、 5_3_3 に対して一方の側(図13では上側)に二本並列に取り出される(図13の 5_1_1 と 5_1_2 、 5_2_1 と 5_2_2 、 5_3_1 と 5_3_2)。

【0038】

このように、チップ周辺部に電源パッド、ビアが設けられていないため、パッケージ基板表面のパッド $4_1_1 \sim 4_4_3$ 、 $4_2_1 \sim 4_2_3$ 、 $4_3_1 \sim 4_3_3$ 等の引き出しパターンパッド $5_1_1 \sim 5_1_3$ 、 $5_2_1 \sim 5_2_3$ 、 $5_3_1 \sim 5_3_3$ は、迂回することなく並列に引き出されており、それぞれ所定の位置のビアで下層に接続され、パッケージ裏面の電極に接続される。信号パターンを電源ビア迂回のための別の層で引き回して配線することが不要とされ、6層のパッケージ基板の層数を2層減少させて、4層に低減することが出来る。

【0039】

また、図3に示すように、本発明の一実施例においては、内部領域を分離することなく、かつI/Oグループ配置領域201以外を全て内部領域として確保することができる。チップ周辺部において、I/Oグループ配置領域201の間の

領域 2 0 2 等にマクロセル等を配置することができる。

【 0 0 4 0 】

本発明の一実施例の作用効果について説明する。

【 0 0 4 1 】

実装するパッケージ基板の配線総数を減らすことが出来、基板の製造コストを低減することが出来る。電源パッドが信号パッドよりもチップ内側に配置されており、パッケージ基板の信号パッドに接続するパッドからのパタンの引き出しの自由度が増加し、例えば 6 層のパッケージ基板の層数を 2 層減少させて、4 層に低減することが出来る。

【 0 0 4 2 】

I / O 配置領域以外の全てを内部領域に出来、チップ内に無駄な領域が生じない。つまりチップサイズの増大を抑止し、チップの製造コストを抑止低減することが出来る。

【 0 0 4 3 】

例えば全体で 9 6 1 個のパッドが並ぶチップ（図 1 ではパッド総数は 9 6 1 個）において、比較例として、図 1 1 に示すようにチップ周辺に I O セルを配置し、内部領域 2 0 2 をチップ周辺の I O セルの内側に設ける構成の場合、無駄な領域が 4 3 2 個分生じ、チップ面積における内部領域の占める割合が半減する。このため、パッド総数を 9 6 1 個とした場合、チップサイズは本実施例のほぼ 2 倍となる。

【 0 0 4 4 】

パッケージ基板の層数の抑制と、チップサイズの縮減を実現した上で、信号パッドと I / O セル間の信号配線長（配線抵抗）の増大を抑止して、デバイスの特性劣化を抑制しており、さらに、電源強化対策等（給電線の抵抗成分の低減等）の特性劣化を無くす対策も打ちやすく、コストと性能の両立が可能である。

【 0 0 4 5 】

チップ周辺部に I / O セルを設けた比較例として、チップ周辺に I / O セルを並置したタイプ（比較例 1、図 1 0）、電源パッド下に I / O セルを並べたタイプ（比較例 2）について、本実施例と比較して以下に説明する。

【0046】

本実施例と比較例1、2とも、電源パッドは、信号パッドよりもチップ内側に設ける構成とされているため、パッケージ基板の層数の抑制が可能とされ、製造コストの点では、いずれも良好である。

【0047】

[各I/Oセルから信号パッドまでの距離]

まず、各I/Oセルから信号パッドまでの距離について説明する。

【0048】

本実施例では、図4に示すように、各I/Oセルから信号パッドまでの距離は、0～1パッドピッチ（パッド間のピッチ）である。0ピッチは、パッド32と直下のI/Oセル22の配線（ビアホールで接続される）、1ピッチ以内は、パッド31、33と、両側のI/Oセル21、33の配線である。なお、電源（VDD）パッド12は信号パッド列よりもチップ内側に配置されており、電源（VSS）パッド11は電源（VDD）パッド12よりもチップ内側に配置されている。

【0049】

チップ周辺にI/Oセルを一行に並置した比較例1では、図5に示すように、各I/Oセルから信号パッドまでの距離は、0.5～2.5パッドピッチ（パッド間のピッチ）である。

【0050】

電源パッド列の下にI/Oセルを一行（チップ辺に平行）に並べた比較例2では、図6に示すように、各I/Oセルから信号パッドまでの距離は、0.5～3.5パッドピッチ（パッド間のピッチ）である。

【0051】

[各I/Oセルから電源パッドまでの距離]

次に、各I/Oセルから電源パッドまでの距離について説明する。

【0052】

本実施例では、図7に示すように、各I/Oセルから電源パッド12までの距離は、0.5～3.5パッドピッチ（パッド間のピッチ）である。

【 0 0 5 3 】

比較例 1 では、図 8 に示すように、各 I / O セルから電源パッドまでの距離は 3 . 5 パッドピッチ（パッド間のピッチ）である。

【 0 0 5 4 】

比較例 2 では、図 9 に示すように、各 I / O セルから電源パッドまでの距離は、 0 . 5 パッドピッチ（パッド間のピッチ）である。

【 0 0 5 5 】

〔チップ製造コスト（内部領域の大きさ）〕

次にチップ製造コスト（内部領域の大きさ：チップサイズの縮減）について説明する。

【 0 0 5 6 】

本発明の実施例では、図 3 に示したように、チップ周辺部においても I O セル配置領域以外は、内部領域として利用することができる。

【 0 0 5 7 】

比較例 1 では、図 1 0 に示すように、チップ周辺の I / O 配置領域の内側が内部領域として利用される。

【 0 0 5 8 】

比較例 2 では、図 1 1 に示すように、チップ周辺の電源パッド配置領域の内側が内部領域として利用されるが、その面積は、本発明のものに較べて小さい。

【 0 0 5 9 】

本実施例と比較例 1、2 との比較結果を表 1 にまとめておく。

【 0 0 6 0 】

【表 1】

	実施例	<比較例 1> チップ周辺に I/O セル配置	<比較例 2> 電源 PAD 下に I/O セル配置
パッケージ 基板製造 コスト	○	○	○
特性 1) 各 I/O から 信号 PAD までの距離	○ [図 4] (0~1 PAD ビッチ)	× [図 5] (0.5 ~ 2.5 PAD ビッチ)	× [図 6] (0.5 ~ 3.5 PAD ビッチ)
特性 2) 各 I/O から 電源 PAD までの距離	△ [図 7] (0.5~3.5 PAD ビッチ)	× [図 8] (3.5 PAD ビッチ)	○ [図 9] (0.5 PAD ビッチ)
チップ製造コ スト (内部領域の大 きさ)	○ [図 3] (I/O 配置領域以 外全て)	○ [図 10] (I/O 配置領域 以外全て)	× [図 11] (I/O より内側 のみ)

【0061】

本発明の実施例は、上記した構成以外にも、各種変形が可能である。図 1、図 12 乃至図 16 を参照して、変形例について以下に説明する。

【0062】

〔I/O グループの構成方法〕

I/O セルの I/O グループの構成方法について、前記実施例では、基本構成として、3 つの I/O セル 21、22、23 を隣接並置させる構成を例示したが、これ以外にもいくつかの変形が実施可能である。

【0063】

例えば、I/O グループは 1 つの I/O セルよりなる構成を含んでもよい（図 13 の 111 参照）。例えばシリアルビット入出力等、高速信号の入出力を行う I/O セルは一つとし、これにより、隣接セルとの間の容量結合等による、クロックトーク等を回避することができる。

【0064】

また I/O グループを、複数の I/O セルを並列配置して構成する場合、I/O セルの個数は奇数（例えば 1 つ、3 つ）以外に、偶数であってもよい。図 1 3 の 1 1 2 は、I/O グループは、4 つの I/O セルからなるものを示している。

【0 0 6 5】

I/O グループを構成する I/O セルの隣接数は、チップ全体で共通とした場合、構成が容易化する。図 1 では、全ての I/O グループは、3 つの I/O セルよりなり統一されている。あるいは、I/O グループを構成する I/O セルの隣接数を、チップ上で不統一であり、多様な要求に対応可能としてもよい。図 1 3 では、I/O グループを構成する I/O セルの数は、1 1 1 では 1 つ、1 1 4 では 2 つ、1 1 3 では 3 つ、1 1 2 では 4 つと不統一である。

【0 0 6 6】

また I/O グループを構成する I/O セルの隣接間隔がない構成（図 1、図 1 3 の 1 2 1）としてもよいし、I/O セルの間に隣接間隔を設けてもよい。例えば図 1 4 に示すように、I/O セル 2 1 と 2 2、I/O セル 2 2 と 2 3 の間に隣接間隔 6 1、6 2 を設け、電源配線領域としてもよい。

【0 0 6 7】

I/O グループを構成する I/O セルの数として、中心（I/O グループ列が配置される列方向の中心）を基準に右側だけ（図 1 3 の 1 3 1）、あるいは左側（図 1 3 の 1 3 2）だけに設ける構成としてもよいし、左右の隣接数が異なる構成であってもよい（図 1 3 の 1 1 2）。

【0 0 6 8】

〔I/O グループの配置方法〕

本発明の実施例における I/O グループの配置方法の各種変形例について説明する。

【0 0 6 9】

〔I/O グループの数〕

チップ周辺部にチップの辺と直交する向きに一系列に配置されている複数の I/O グループ（図 1 2 の 2 1 2）のほかに、単数（孤立）したものを含んでもよい（図 1 2 の 2 1 1）。

【 0 0 7 0 】

I/Oグループ列を構成するI/Oグループ2の個数は、図1に示したように、チップ上で統一（図1では4個）としてもよいし、あるいは、1列を構成するI/Oグループの個数不統一であってもよい。1列あたりのI/Oグループの数は、図12の211はI/Oグループ1個、212は4個であり、大規模マクロブロック215が、パッド形成面の下層に配置される。大規模マクロを配置する際に内部領域の形状を変更することが可能となる。

【 0 0 7 1 】

[I/Oグループの間隔]

I/Oグループの配列においてI/Oグループの間隔を設けない場合、I/O配置領域を小さくすることができる。図15のI/OグループのI/Oセル22と1段上のI/Oグループ222は、I/Oグループの配列の長手方向に間隔が設けられていない。図15のI/Oグループ224と225は、I/Oグループの配列の長手方向に間隔が設けられている。I/Oグループ224と225の間は、内部領域を接続する通過配線領域として用いることができる。

【 0 0 7 2 】

図12の223に示したように、I/Oグループ列は、配列方向（チップ辺と直交する方向）において、その間隔を間引く構成としてもよい。この場合も、間引きされた領域は、内部領域を接続する配線領域として用いることができる。

【 0 0 7 3 】

[I/Oグループの位置]

本発明の実施例においては、チップ周辺部に配置されるI/Oグループを、図1に示したように、I/Oセル用電源パッド12よりも外側（チップ辺側）に配置することで、パッケージ基板の層数の抑制を図ることができる。

【 0 0 7 4 】

しかしながら、図13の301に示したように、I/Oグループは、I/Oセル用電源パッド12、11よりチップ内側に配置する含む構成としてもよい。パッケージ基板の配線層数は少し増えるが信号数を増やすことができる。またチップ中央に配置されるI/Oグループを含んでもよい。

【 0 0 7 5 】

I/Oグループはチップ周辺に配置されるが、チップの四辺の周辺に配置する構成に限定されず、いずれか一辺に沿ったチップ周辺に配置する構成としてもよい。

【 0 0 7 6 】

[I/Oグループ列の配置]

I/Oグループ列の配置間隔は、図1に示したように、パッドピッチに依存した位置で規定される固定間隔であってもよいし、固定パッドピッチで、I/Oセル用の電源が多電源（3.3V系、2.5V系等）の場合、その分離部分で、1パッド列分間を空ける構成としてもよい。

【 0 0 7 7 】

例えば図12のI/Oグループ列212間は間隔412あけられている。I/Oグループ列212間の間隔を利用して、I/Oグループ列212のI/Oセルへの電源供給を横方向から供給する構成としてもよい。こうすることで、給電パタンの長さを減少させることができる。あるいは、給電パタン（図16の414）通過用にI/Oグループ列間の配置間隔を広げる構成としてもよい（図16の413）。

【 0 0 7 8 】

[信号パッド]

信号パッドは、I/Oセルに対応して設けられており、図12、図13の511に示すように、対応するI/Oセルが存在しない場合、信号パッドを間引く構成としてもよい。I/Oグループ列の両側又は一側に配置される信号パッドが、I/Oグループ列の長手方向に沿って間引きされることで、パタン基板の層数を抑制することができる。すなわち、信号パッドの間引きに対応したパッケージ基板の表面の信号引出しパタンは、図13に示したように、下層に迂回させることなく、同一層（最上層）から全ての引き出し配線を引き出すことができる。

【 0 0 7 9 】

パッド形成面における電源パッドの配置の全体の形状は、図1に示したように矩形（四角形）とされているが、図12に示すように、チップのコーナーなどに

マクロ 2 1 5 を配置しそれを囲む形（図 1 2 の電源パッド 5 1 2）とする場合など、多角形としてしてもよい。

【 0 0 8 0 】

[I / O セルのサイズ]

I / O セルのサイズは、図 1、図 1 3、図 1 4 に示したように、信号パッド以下であっても、図 1 5 の 2 2 に示したように、信号パッド以上のサイズ（高さ、幅）であってもよい。I / O セルに要求される駆動能力に応じたマクロが適宜選択され、I / O セルのサイズが決定される。

【 0 0 8 1 】

[I / O セルの給電方法]

I / O セルに電源を供給する給電方法として、図 1 4 に示したように、I / O セル間に間隔 6 1、6 2 を設けて、給電パタン配線領域とするというように、最上位層のパッド形成面で給電パタンの強化を行う構成としてもよいし、図 1 6 に示したように、I / O グループ列間の幅を広げて電源強化領域 4 1 3 を設け、その間に給電パタン 4 1 4 を配置する構成とすることで、電源強化を行ってもよい。I / O セルの CMOS インバータの P チャネル MOS トランジスタのソースと電源 VDD 間の配線抵抗（インピーダンス成分）、N チャネル MOS トランジスタのソースと電源 VSS 間の配線抵抗を小さくすることができる。

【 0 0 8 2 】

あるいは、I / O セルに電源を供給する給電パタンを、パッド形成面の下位層で、内部領域のマクロセルに電源を供給するための給電パタンと同一層で共存した形で配線する構成としてもよい。

【 0 0 8 3 】

さらに、図 1 等 に示した構成は、I / O グループの列の端部からチップ内側に離間した位置に電源パッド 1 2、1 1 が設けられているが、電源パッドからの給電を、図 1 2 の領域 4 1 2（I / O グループ列が間引かれた領域）等において、I / O グループ列 2 1 2 の横方向から供給するようにしてもよい。この場合、給電線の長さが減少し電源強化を図ることができる。

【 0 0 8 4 】

【発明の効果】

以上説明したように、本発明によれば、I/Oセル用電源パッドをチップ周辺の信号パッドよりもチップ内側に設ける構成としたことにより、パッケージ基板の層数を減らすことが可能とされており、コストを低減することができるという効果を奏する。

【0085】

また本発明によれば、I/Oグループ列以外の領域を内部領域として利用することができ、デッドスペースを縮減し、チップサイズの縮減を図ることができる。

【図面の簡単な説明】

【図1】

本発明の一実施例のチップのパッド形成面（図1（a））とその部分拡大図（図1（b））を示す図である。

【図2】

本発明の一実施例を説明するための図であり、パッケージ基板のパターンを示す図である。

【図3】

本発明の一実施例におけるチップサイズと内部領域の関係を示す図である。

【図4】

本発明の一実施例におけるI/Oセルと信号パッドの距離を説明する図である。

【図5】

比較例1におけるI/Oセルと信号パッドの距離を説明する図である。

【図6】

比較例2におけるI/Oセルと信号パッドの距離を説明する図である。

【図7】

本発明の一実施例におけるI/Oセルと電源パッドの距離を説明する図である。

【図8】

比較例1におけるI/Oセルと電源パッドの距離を説明する図である。

【図9】

比較例 2 における I/O セルと電源パッドの距離を説明する図である。

【図 1 0】

比較例 1 におけるチップサイズと内部領域の関係を示す図である。

【図 1 1】

比較例 2 におけるチップサイズと内部領域の関係を示す図である。

【図 1 2】

本発明の一実施例の変形例を示す図である。

【図 1 3】

本発明の一実施例のチップのパッド形成面（図 1 3（a））と対応するパッケージ基板のパタン（図 1 3（b））を示す図である。

【図 1 4】

本発明の一実施例の変形例を示す図である。

【図 1 5】

本発明の一実施例の変形例を示す図である。

【図 1 6】

本発明の一実施例の変形例を示す図である。

【図 1 7】

従来の半導体装置の構成を示す図である。

【図 1 8】

従来の半導体装置の構成を示す図である。

【符号の説明】

- 1 フリップチップ型半導体装置
- 2 I/O グループ
- 1 1 I/O 用電源（VSS）パッド
- 1 2 I/O 用電源（VDD）パッド
- 1 3 内部用電源（VSS）パッド
- 1 4 内部用電源（VDD）パッド
- 2 0 I/O セル
- 2 1、2 2、2 3 I/O セル

- 3 1、3 2、3 3 信号パッド
- 4 1～4 3 信号パッド
- 5 1～5 3 引き出しボタン
- 6 1、6 2 間隔
- 1 1 1～1 1 4 I/Oグループ
- 1 2 1、1 3 1、1 3 2 I/Oグループ列
- 1 7 1 半導体装置
- 1 7 3 電極形成領域の外周に配置されている電極
- 1 7 4 寸法の小さいI/Oセル
- 1 7 5 ロジックセル
- 1 7 6 寸法の大きなI/Oセル
- 1 8 0 電極形成領域
- 1 8 1 エリア電極内部
- 1 8 2 ゲートアレイ
- 1 9 1 L S Iチップ
- 1 9 2 I/Oセル
- 1 9 3 内部領域
- 1 9 4 コーナーセル
- 1 9 5 パッド
- 2 0 1 I/Oグループ領域
- 2 0 2 内部領域
- 2 1 1 I/Oグループ
- 2 1 2 I/Oグループ列
- 2 1 5 大規模マクロ
- 2 2 3 I/Oグループ
- 2 2 5 I/Oグループ
- 3 0 1 電源パッド
- 4 1 2 I/Oグループ列の間引き領域
- 4 1 3 間隔

4 1 4、4 1 5 給電パタン

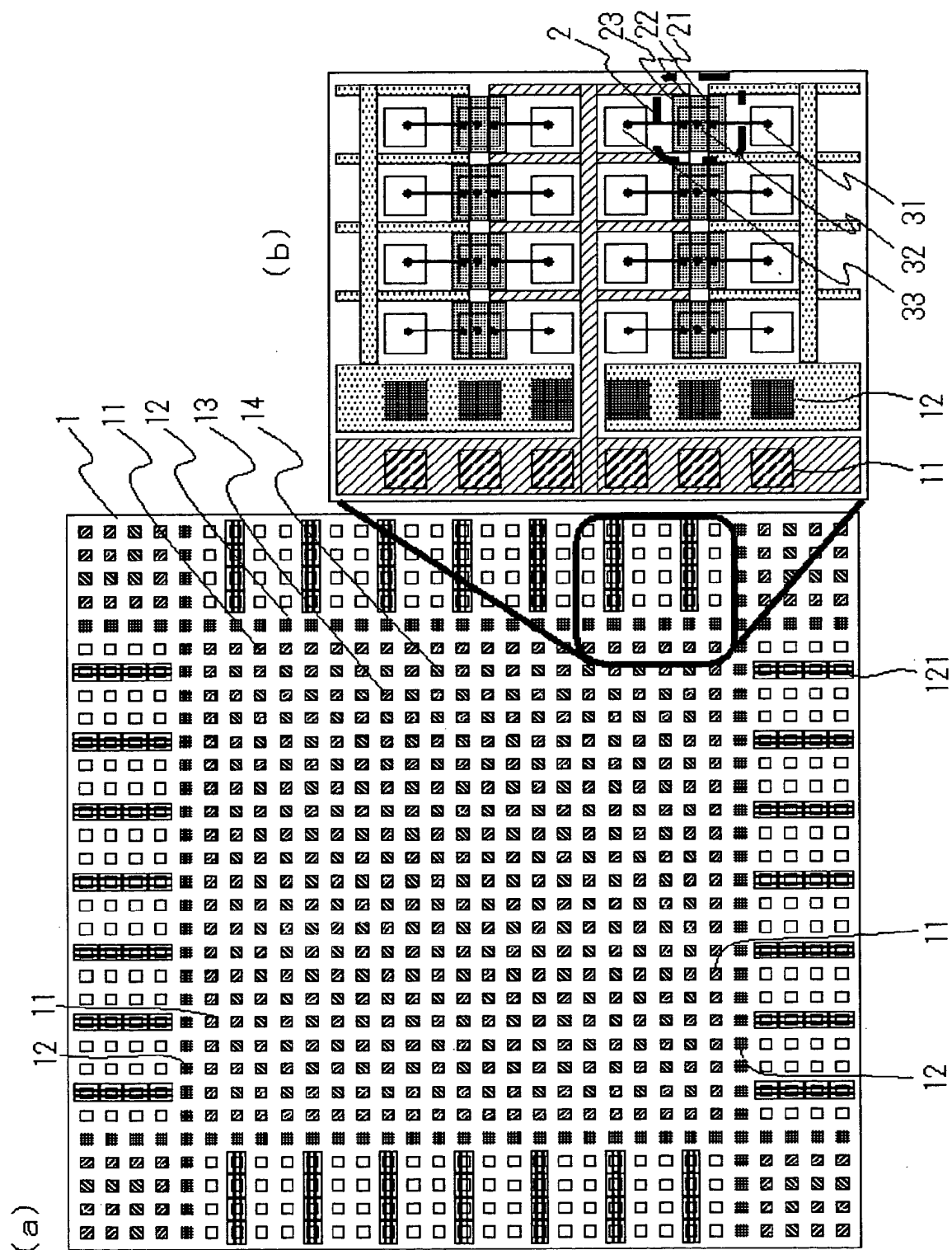
5 1 1 間隔

5 1 2 電源パッド

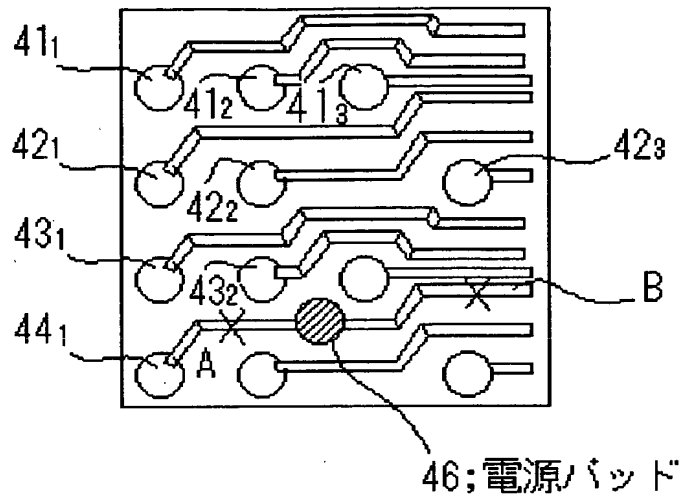
【書類名】

図面

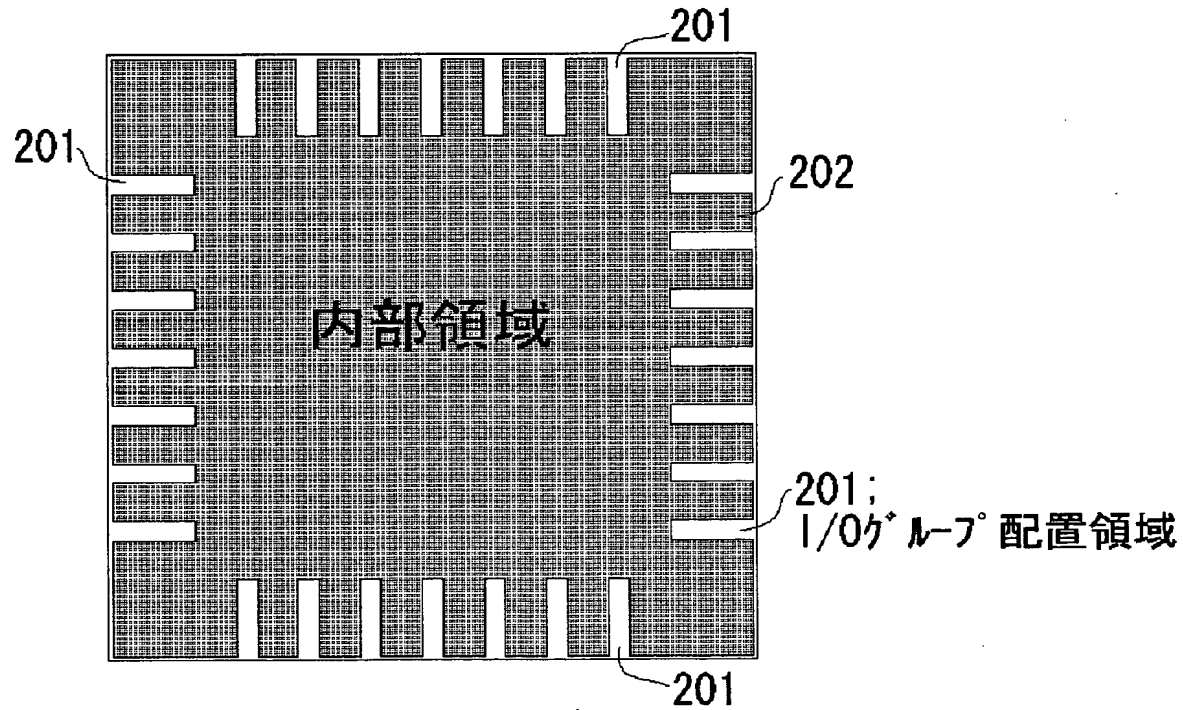
【図 1】



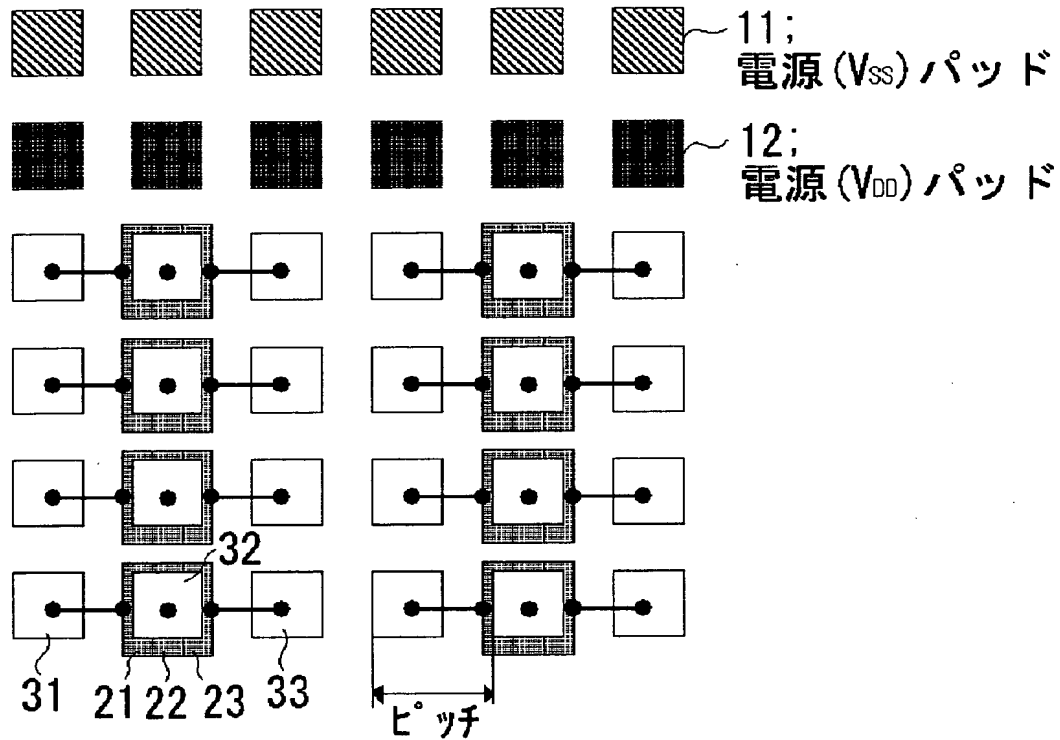
【図2】



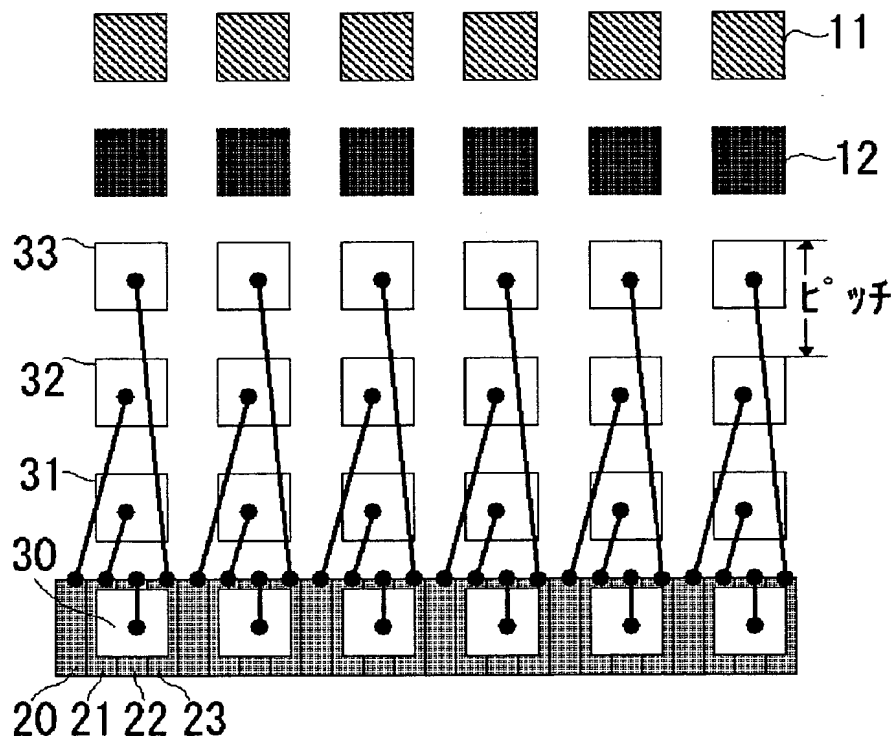
【図3】



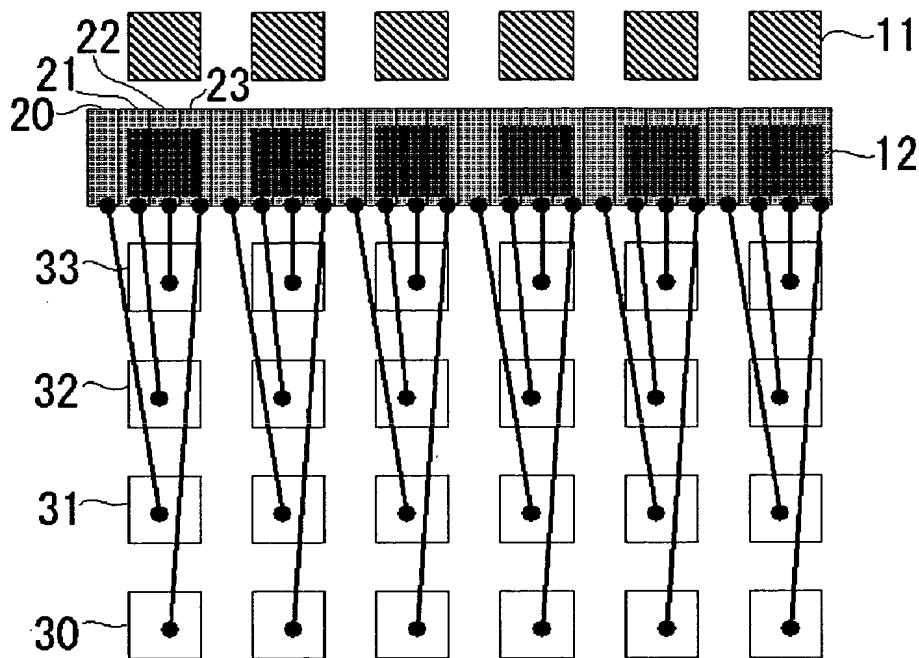
【図4】



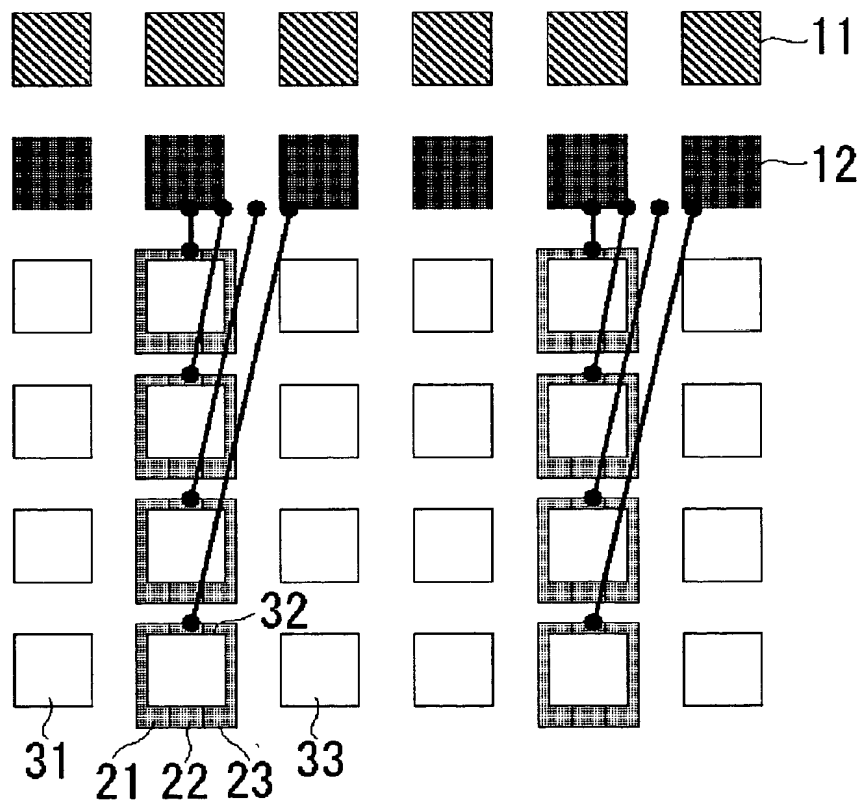
【図5】



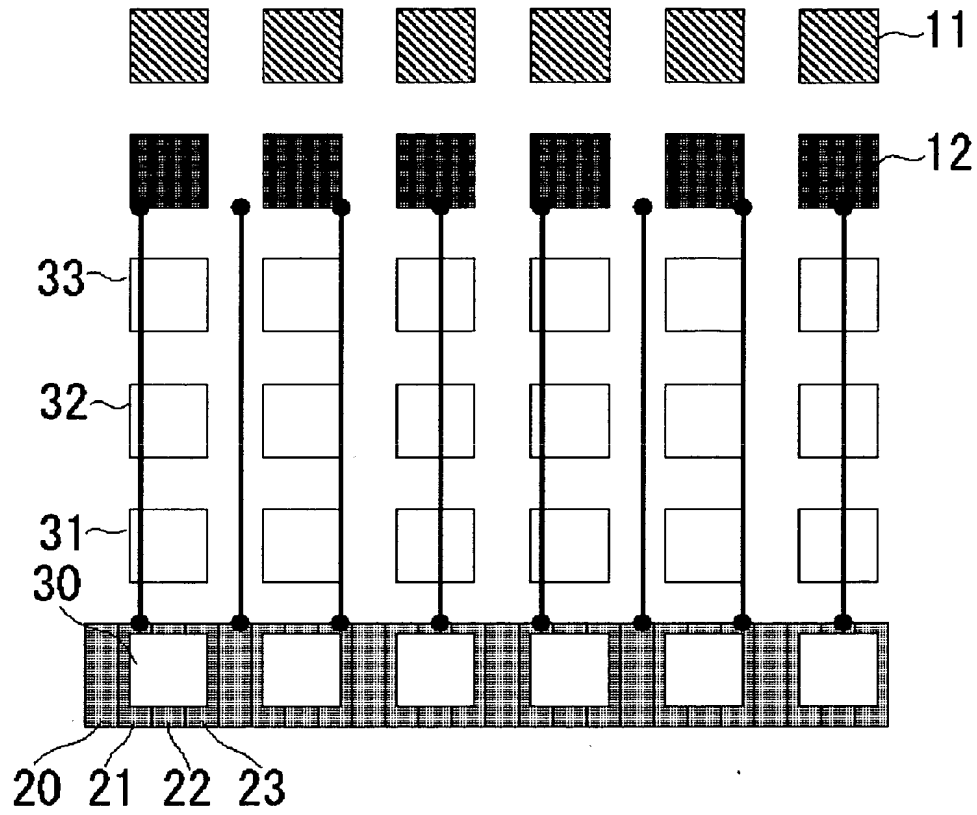
【図 6】



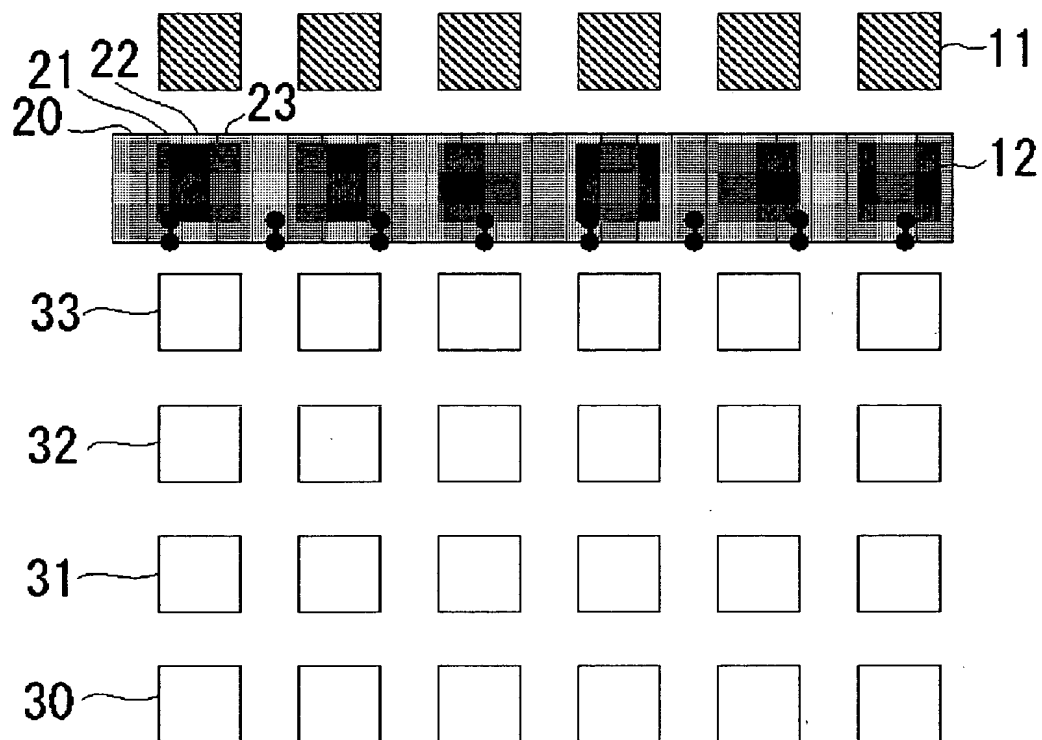
【図 7】



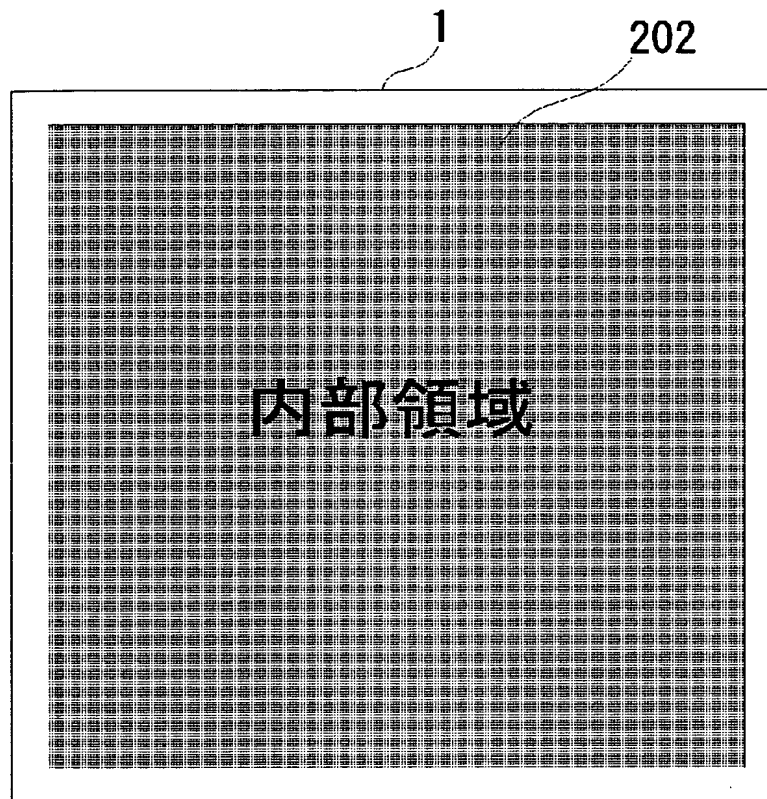
【図 8】



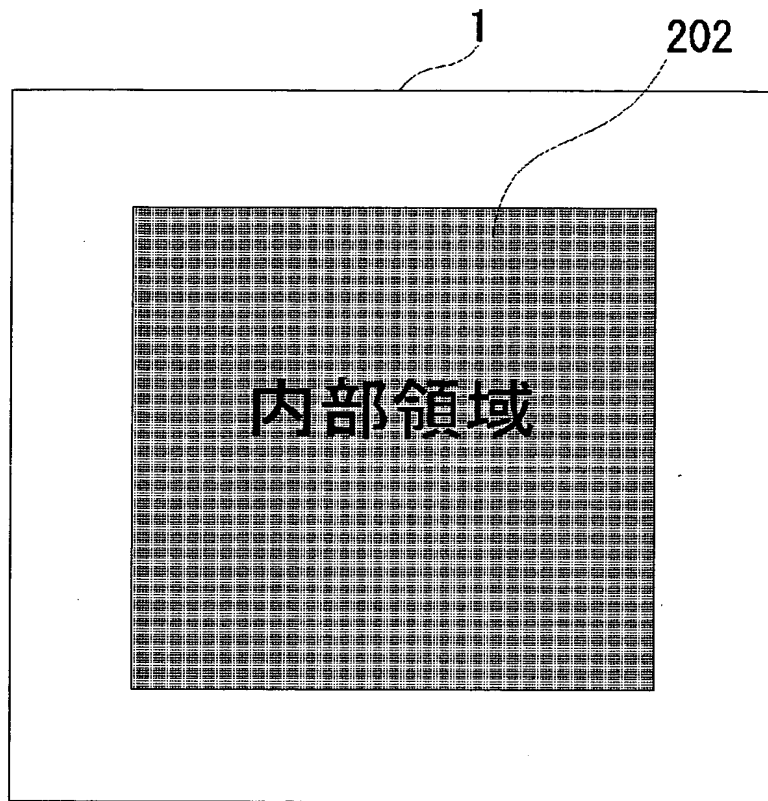
【図 9】



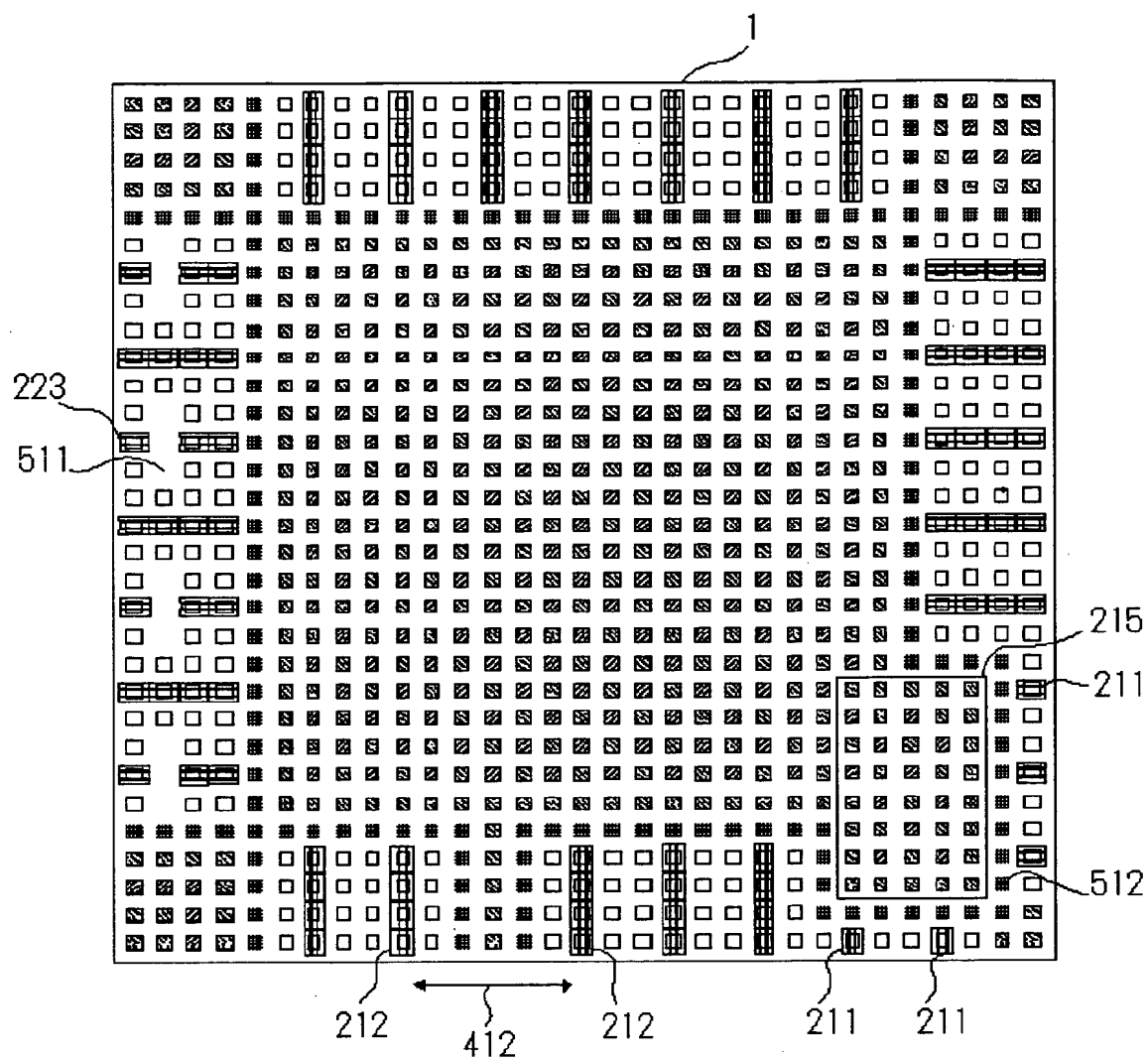
【図 1 0】



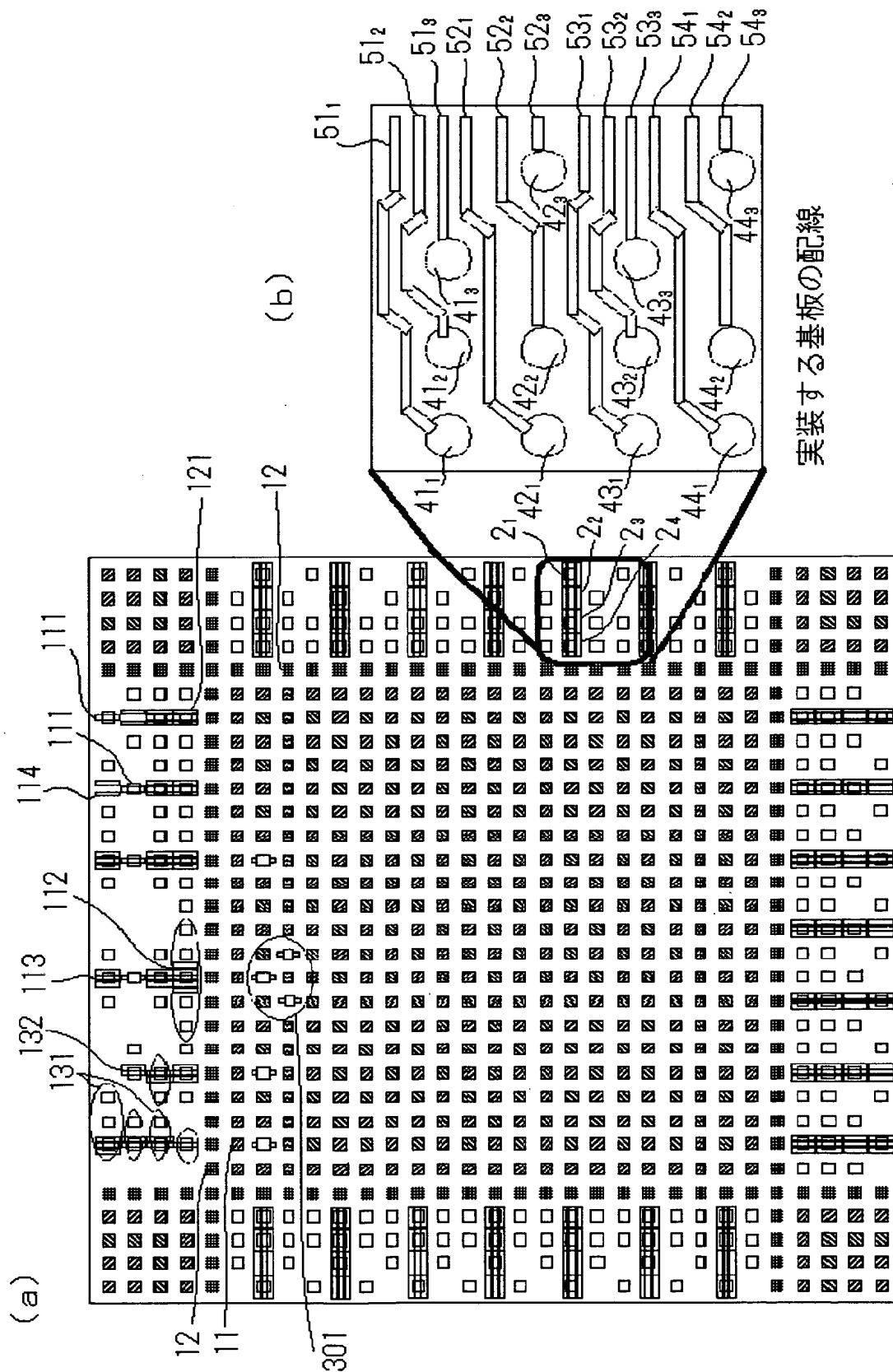
【図 1 1】



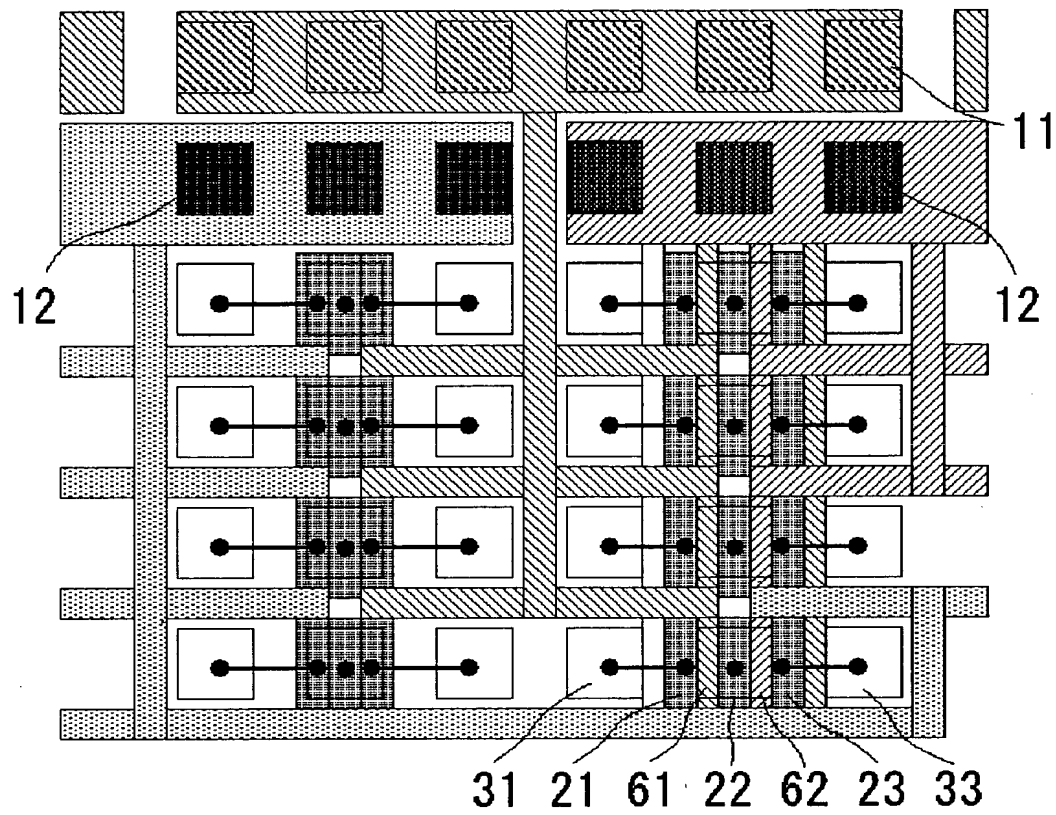
【図 12】



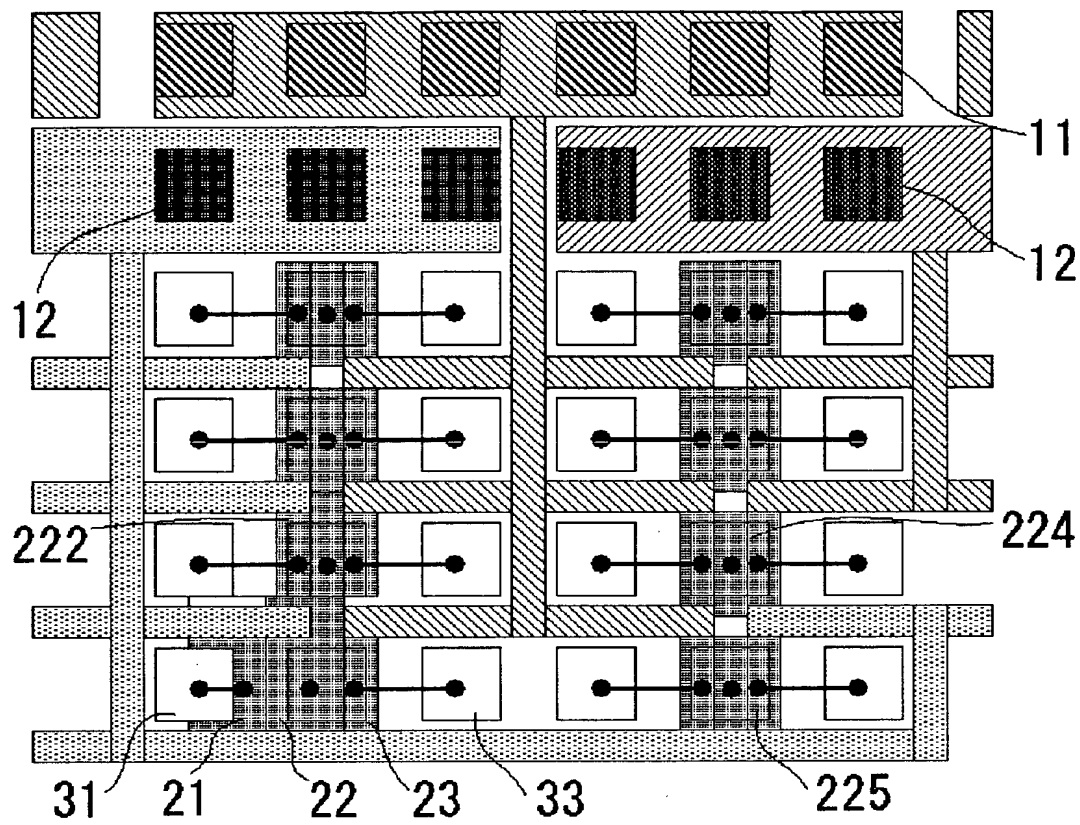
【図13】



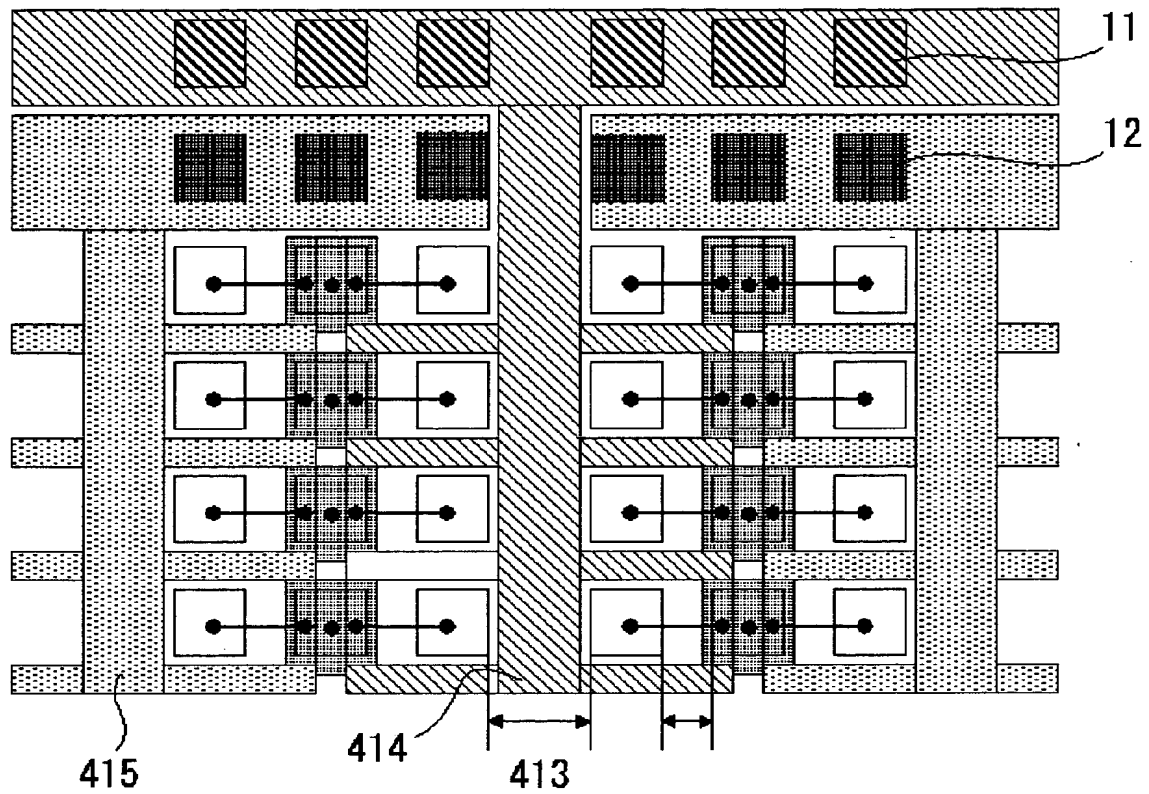
【図 1 4】



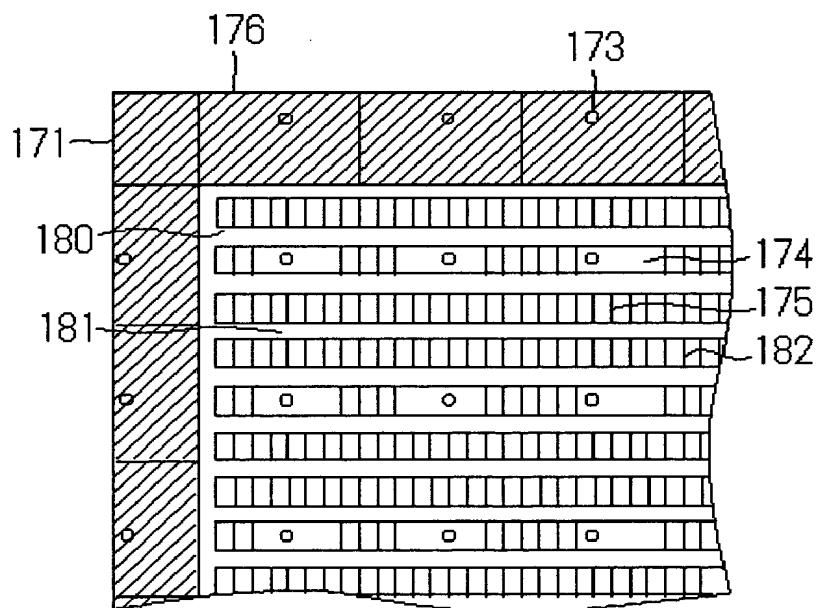
【図 15】



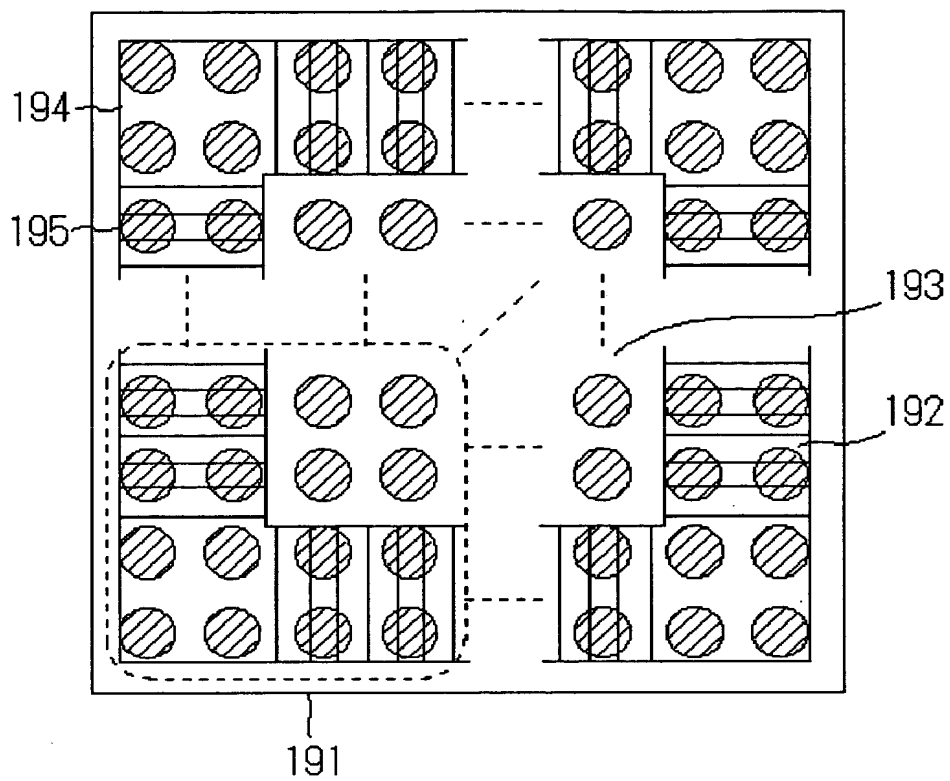
【図16】



【図17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】

フリップチップ型半導体装置の多層パッケージ基板の層数を抑制し、チップサイズを縮減し、さらに電気的特性の向上を図るフリップチップ型半導体装置の提供。

【解決手段】

チップ周辺部領域に、複数のI/Oセル21、22、23を並列配置してなるI/Oグループ2を複数個配列してなるI/Oグループ配列を、前記チップの辺と直交する向きに配置し、最上層のパッド形成面のチップ周辺部領域において、I/Oグループ配列の上、及び、前記I/Oグループ配列の両側に、前記I/Oグループを構成する各I/Oセルとそれぞれ電気的に接続される信号パッド31、32、33を備え、パッド形成面において前記I/Oセルに電源を供給するためのI/Oセル用電源パッド12、11が、前記I/Oグループ配列の信号パッドの配置箇所よりも、チップ内側に設けられている。

【選択図】

図1

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 日本電気アイシーマイコンシステム株式会社
2. 変更年月日 2001年 5月21日
[変更理由] 名称変更
住 所 神奈川県川崎市中原区小杉町1丁目403番53
氏 名 エヌイーシーマイクロシステム株式会社